

TK 7874. m476

PATENT ABSTRACTS OF JAPAN

No

(11)Publication number : 02-001123

(43)Date of publication of application : 05.01.1990

(51)Int.Cl.

H01L 21/316
H01L 21/318
H01L 21/76

(21)Application number : 63-260723

(71)Applicant : NCR CORP

(22)Date of filing : 18.10.1988

(72)Inventor : LEE STEVEN SHAO-LUN
ALLMAN DERRYL DWAYNE
JOHN

(30)Priority

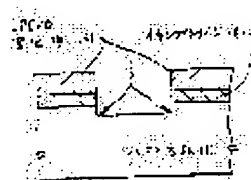
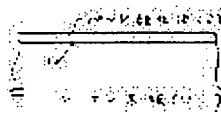
Priority number : 87 110245 Priority date : 19.10.1987 Priority country : US

(54) QUICK THERMAL NITRIDING METHOD FOR FORMING OXYNITRIDE FOR INTERFACE SEALED THROUGHOUT SEPARATE OXIDATION

(57)Abstract:

PURPOSE: To minimize bird's beak effect by starting the quick thermal nitridation of a thin silicon dioxide layer on a single-crystal silicon substrate, generating a transient temperature gradient of silicon dioxide in a high-temperature cycle, and generating an oxide-oxynitride compound slope.

CONSTITUTION: A short-period thermal nitriding process generates a temperature gradient through a pad oxide 2 and a silicon substrate 1 to generate a slope of a compound of the oxide and oxynitride 6. Further, the quick thermal nitriding transform the pad oxide layer into slanting oxynitride 6 by the silicon substrate 1 without receiving high temperature for an extended period. The nitride layer 6 is transformed from an LPCVD silicon nitride layer 4 and then a pattern of mask photoresist is formed to perform anisotropic etching



so that the LPCVD nitride 4, oxynitride layer 6, and silicon substrate 1 are selectively removed. A recessed part 8 is formed in the substrate 1 by etching and the outward appearance of a field oxide 9 which is flat and large and has no bird's beak characteristics is formed. Consequently, the bird's beak suppression is greatly improved.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

DERWENT-ACC-NO: 1989-131194
DERWENT-WEEK: 198918
COPYRIGHT 2003 DERWENT INFORMATION LTD

TITLE: Field oxide region prodn. in silicon substrate - avoiding substrate defect and bird beak formation

INVENTOR: ALLMAN, D D J; LEE, S S L

PRIORITY-DATA: 1987US-0110245 (October 19, 1987)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
DE 3832450 A	April 27, 1989		006	
JP 02001123 A	January 5, 1990		000	

INT-CL (IPC): H01L 21/76

ABSTRACTED-PUB-NO: DE 3832450A

BASIC-ABSTRACT:

A field oxide region is formed in a silicon substrate by (a) forming a silicon dioxide layer on the substrate (1); (b) exposing the silicon dioxide layer to a nitriding atmos. and to a source of radiant energy of intensity suitable for nitriding the silicon dioxide and producing a thermal transition gradient through the silicon dioxide layer; (c) forming an oxidn. masking layer (4) with at least one silicon nitride layer (4) over the nitrided silicon dioxide layer (6); (d) etching the masking layer (4) and the nitrided silicon dioxide layer (6) to expose a selective region of the substrate (1); and (e) oxidising the exposed substrate in the presence of the oxidn. masking layer (4) to form a field oxide region (9).

ADVANTAGE - The process is simple and minimises bird's beak formation and formation of substrate crystal defects.

⑫ 公開特許公報(A) 平2-1123

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月5日

H 01 L 21/316
21/318

C

6824-5F
6824-5F

H 01 L 21/94

A※

審査請求 未請求 請求項の数 10 (全7頁)

⑭ 発明の名称 分離酸化中シールされる界面のためのオキシナイトライドを形成する急速熱窒化方法

⑮ 特 願 昭63-260723

⑯ 出 願 昭63(1988)10月18日

優先権主張 ⑰1987年10月19日⑱米国(US)⑲110,245

⑳ 発 明 者 ステイブン・シャウ アメリカ合衆国, 80915 コロラド, コロラド スプリングス
ールン リー グスエヌ. マリ ブールバード 640, アパートメント
225

㉑ 出 願 人 エヌ・シー・アール・ アメリカ合衆国 45479 オハイオ, デイトン サウス
コーポレーション バターソン ブールバード 1700

㉒ 代 理 人 弁理士 斉 藤 勲
最終頁に続く

明 細 書

1. 発明の名称

分離酸化中シールされる界面のためのオキシナイトライドを形成する急速熱窒化方法

2. 特許請求の範囲

(1) 窒化シリコンと窒化シリコン・ベースド酸化マスク層との間にパッド又は緩衝層を形成する方法であって、

シリコン基板上に薄い二酸化シリコン層を形成し、

前記二酸化シリコン層の周囲に窒化環境を与え、前記二酸化シリコンに対し二酸化シリコンの窒化に適した強さの放射エネルギー源に当て、前記二酸化シリコン層を通して過渡的な熱傾斜を発生する各工程を含むことを特徴とするパッド層の形成方法。

(2) 前記放射エネルギー源の強さは900~1150℃から変動する二酸化シリコン表面温度を発生する特許請求の範囲第1項記載の方法。

(3) 前記放射エネルギー源に当てる期間は10~1800秒から変化する特許請求の範囲第2項記載の方法。

(4) 前記窒化環境はアンモニア又は窒化ガスである特許請求の範囲第2項記載の方法。

(5) 前記窒化環境はアンモニア又は窒化ガスである特許請求の範囲第3項記載の方法。

(6) シリコン基板に薄い二酸化シリコン層を形成し、

前記二酸化シリコン層に対し窒化物環境を与え、

前記二酸化シリコンに対し二酸化シリコンを窒化するに適した強さの放射エネルギー源を当て、前記二酸化シリコン層を通して過渡的な熱傾斜を発生し、

前記窒化された二酸化シリコン層の上に窒化シリコン・ベースド酸化マスク層を形成し、

前記窒化シリコン・ベースド酸化マスク層及び窒化された二酸化シリコン層をエッチングして前記シリコン基板の領域を選択的に露出し、

上層の存在下で前記露出したシリコン基板を腐

化する各工程を含むシリコン半導体基板にフィールド酸化物領域を形成する方法。

(7) 前記エッチング動作は前記シリコン基板に凹部を形成するよう継続される特許請求の範囲第6項記載の方法。

(8) 前記輻射エネルギー源の強さは900~1250℃から変化する二酸化シリコン表面温度を発生する特許請求の範囲第6項記載の方法。

(9) シリコン基板上に非常に薄い第1の二酸化シリコン層を形成し、

前記第1の二酸化シリコン層に対し窒化環境を与え、

前記第1の二酸化シリコンに対し二酸化シリコンを窒化するに適した強さの輻射エネルギー源に当て、前記第1の二酸化シリコン層を通して過渡的な熱傾斜を発生し、

前記窒化された第1の二酸化シリコン層の上に第1の窒化シリコン・ペースド酸化マスク層を形成し

前記第1の窒化シリコン酸化マスク層の上に第

〔背景技術〕

フィールド酸化物が形成される熱酸化工程中、基板のアクティブ領域は従来相当厚い窒化シリコン層でマスクされた。一般にバンプピークと呼ばれるマスク窒化物層の下層に対するフィールド酸化物の侵食はそれに比例して使用可能なアクティブ領域を減少させる。そのようにして使用しうるアクティブ領域に対する直接の影響があるため、このバンプピークの減少或は除去はこの業界に共通の目標である。

バンプピークを除去しようとする研究者は、バンプピークの形成に係わる主なものとしては、マスク窒化シリコン層とシリコン基板との間に従来から置かれる相当薄い二酸化シリコン層であることがわかった。この二酸化シリコンの“パッド”又は技術層の目的は、さもないければシリコン基板と窒化シリコン層との間の結合部に発生し、シリコン基板のアクティブ領域に結晶欠陥を生じさせるような緊張の発生を緩和することである。そのため、パッド/緩衝(パフファ)酸化物層がパー

2の二酸化シリコン層を形成し、

前記第2の二酸化シリコン層の上に第2の窒化シリコン・ペースド酸化マスク層を形成し、

前記窒化シリコン・ペースド及び二酸化シリコン層をエッチングして前記シリコン基板の選択的領域を露出し、

上層の存在下で前記露出したシリコン基板を酸化する各工程を含むシリコン半導体基板に対するフィールド酸化物形成方法。

(10) 前記エッチング動作は前記シリコン基板に凹部を形成するよう継続される特許請求の範囲第9項記載の方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は集積回路電子装置の形成方法に関し、特にシリコン・ペースド基板を酸化して一般にフィールド酸化領域として知られる二酸化シリコン誘電体から成る凹部領域の形成方法に関する。

バンプ形成の支配的原因であるとの認識から結晶欠陥を生じさせずに緩衝層の使用を省略する方向に多くの技術的努力が払われてきた。例えば、米国特許第4,331,710号はシリコン基板の直接熱窒化を開示している。米国特許第4,575,921号は窒素イオン・ミリングを使用して基板表面に直接窒素種を注入してその表面を窒化物化合物マスク層に変換することを教示している。最近、マスク窒化物層の下に酸素が貫通するのを防ぐため、種々の幾分精細な側壁窒化物マスク技術を含むより最近の精密技術により緩衝層のためのより薄い層とマスク層のためのより厚い層との使用が提案された。

Hui ほかが開示した論文“高密度MOS用セレクトティブ酸化技術”(IEEE Electron Device Letters, Vol. EDL-2, 1981年10月)はマスク窒化物層とシリコン基板との間の界面の方に向けられたより最近の研究のほとんどの基礎を形成するものである。考慮しうる緩衝層の中でHui ほかは薄く成長したオキシナイトライド・フィルムと反

応炉窒化酸化物層によって形成されたオキシナイトライド・フィルムとをマスク窒化物層に関する緊張を緩衝するものとして評価した。Hui ほかは考察した最大見込みのある緩衝層は窒化物注入マスク層、LPCVD 窒化物マスク層、プラズマ窒化物マスク層であり、これらは基板の結晶欠陥を生じさせずパージピークを最少にする観点のものであった。緩衝層として反応炉成長又は変換されたオキシナイトライドの使用は考慮されたが、パージピーク除去のためにはあまり見込みがないものとして捨てられた。

又、最近の研究には、酸化物の窒化における一般的及び特別な急速熱アニールが開示されている。最近の最も適切な知識による急速熱アニールはゲート酸化物層の窒化に使用される。それは Hori ほかによる論文“急速熱アニールによって作られたナノメートル範囲の薄い窒化酸化物における界面状態及び固定チャージ”に見ることができる (IEEE Electron Device Letters, 1986年12月)。

ニア又は窒素環境下で輻射(又は放射)源急速熱アニール動作を含み、単結晶シリコン基板の上に置かれる薄い二酸化シリコン層の急速熱窒化を起させる。高温サイクルの期間及び高さにより、二酸化シリコンの過渡的溫度傾斜(勾配)を発生し、ある最終構造のための酸化物-オキシナイトライド化合物勾配(傾斜)を発生して基板ドーパントの再分散効果を最少にする。薄いパッド二酸化シリコン層の化合物層への変換は窒化シリコン・マスク層とシリコン基板との間の熱膨脹係数の違いを緩衝する一方、その後のフィールド酸化物成長動作中の酸素種の拡散のための通り路をほとんど除去するようになる。

急速熱窒化に続き、パッド・オキシナイトライド層はフィールド酸化物成長の準備のため、シリコン基板の上の層のマスク及びパターン・エッチングを受ける前に低圧化学蒸着デポジット(LPCVD)で処理された窒化物層とその他の希望する層によってカバーされる。

〔この発明が解決しようとする問題点〕

しかしながら、この論文は、そのような誘電体が5~12ナノメートルの範囲の厚さで使用されたときに、信頼性のあるゲート絶縁材料の形成のための窒化方法の探研に向けられているものであってこの発明の目的を達成するものではない。

この発明の目的はパージピーク効果を最少にするため、単結晶シリコン基板と窒化シリコン又は同様なものから成るパターン化フィールド酸化マスク層との間の界面をシールする方法を提供することである。この方法は最少の製造シーケンス精製法で他の方法と共に共通に使用されているシリコン・フィールド酸化物形成の局部酸化方法の状況で、又はシールド界面局部酸化方法で実施することができる。

〔問題を解決するための手段〕

従って、この発明は次のようにして上記の問題を解決した。

この発明の好ましい実施例においては、アンモ

〔実施例〕

次に、1対の実施例によってこの発明の実施例を説明する。すなわち、薄い酸化物層の急速熱窒化によって形成されたオキシナイトライド層は化合物の傾斜を表わし、それによって通常パッド酸化物によって与えられる熱膨脹係数緩衝特性を保持しながら窒化物マスク層の下における望ましくない酸素種の横拡散を防止する。その結果、基板シリコン表面の破損及びパージピークの形成が防止される。その上、この方法は温度/時間感知基板ドーパントの再分散効果なしに、最少の製造時間の追加を要する1製造工程の追加のみでLOCOS又はSILOタイプのフィールド酸化物製造シーケンスに組み込むことができる。その上、侵食、すなわちパージピークの長さとのフィールド酸化物の厚さとの間の割合は前述のHui ほかによる論文によって評価され、捨てられたタイプのオキシナイトライド・パッド層におけるものに比べて相当改良されたことに注意を要する。

第1の実施例は、LOCOS技術に従ってフィール

ド酸化物領域を製造するシーケンス“A”を第1A図乃至第5A図に示す。第2の実施例は第1B図乃至第5B図に示すようなSILO技術に従ってフィールド酸化物を形成する方式である“B”シーケンスに示す。

第1A図から始まるLOCOS技術においては、単結晶シリコン基板1の上には好ましくは熱酸化により比較的薄い、すなわち公称13～15ナノメートル厚の二酸化シリコン層2を形成する。薄い酸化層2は、さもないと窒化シリコン層4(第3A図)から誘起されるようなストレスからシリコン基板1の表面3を分離する従来のパッド又は緩衝層である。シリコン基板1の表面3に対する窒化シリコン層4の低圧化学蒸着(LPCVD)による直接形成はシリコン基板に形成されたアクティブ領域の実行性能を劣化させるだけ十分な性質の結晶の転位線を生じさせることになる。そのストレスに対する実質的寄与は熱膨張係数で異なる。他方、窒化物層と基板層との間にパッド酸化物2が含有すると、0.3～0.4の範囲の侵食率でパーズ

らう。

急速熱酸化は180秒間表面5で約1150℃の温度を発生するように構成動作するタンゲステン-ハロゲン・ランプ輻射エネルギー源を使用して行われる。熱サイクルは大気圧の純アンモニア中で行われる。そのような急速熱酸化はパッド酸化物層2をシリコン基板1により高い温度を期間を延長して受けさせることなく傾斜オキシナイトライド6に変換するであろう。

第2A図の急速熱酸化に続き、ナイトライド層6は公称100ナノメートル厚にアポジットされたLPCVD窒化シリコン層4から変換される。その後、幾分LOCOS製造方式を維持して、第3A図の構造が写真のような方法で処理され、マスク・ホトレジストのパターンを形成し、順次LPCVD窒化物4、オキシナイトライド層6及びシリコン基板1の公称30ナノメートルを選択的に除去するよう異方性エッチングを受けさせる。基板1のエッチングにより第4A図に示すような凹部8を形成する。好ましくは、このエッチング処理は当世の

ピーク成長を生じさせるに十分な性質及び程度のマス킹LPCVD窒化物層の下領域に対し酸化物に沿って酸素種の拡散を生じさせることになる。

次の第2A図の合成処理は一般に急激熱酸化と称する、パッド酸化物2をオキシナイトライド層6に変換するようにしたアンモニア中における急激熱アニール動作の導入を含む。短期間の熱酸化工程はパッド酸化物2及びシリコン基板1を通して温度傾斜(勾配)を発生し、酸化物及びオキシナイトライド合成物の傾斜を生じさせる。

酸化物2の厚さにおいて窒素密度は酸化物2がシリコン基板1と出合う界面において最大となる。窒素は酸化物2に導入される結合のミスマッチ・ストレスによってその界面に集められ、そのストレスが窒素に使用可能な原子レベルのスペースを増加する。より厚い酸化物層2は通常そのシリコン基板1の界面と外面5の両方により高い窒素集中を有するであろう。薄い酸化物層2、例えば10nm又はそれ以下の酸化物10は22に述べる形式の急速熱酸化の後、比較的均質となるであ

リアクティブ・イオン・エッチング装置を使用して行われ、その凹部の大抵縦壁の形成を保証する。例えば、そのエッチングは CHF_3/O_2 ガスを使用した圧力約25mトルのRFドライバ・プラズマ・エッチングで達成することができる。

フィールド酸化物成長動作がそれに続き、それは約45分間にわたり、温度約950℃、ウェット酸化中で行われるのが好ましい。その後、従来方式によるLPCVD窒化物4及びオキシナイトライド層6の除去が行われる。それは CHF_3/O_2 又は10:1 $\text{NH}_4\text{F}:\text{HF}$ ウェットエッチング剤でボイルした H_3PO_4 酸又はRIEプラズマ・エッチング剤を使用して行われ、第5A図に示すような、相当平坦且つ大きなパーズピーク特性のないフィールド酸化物9の外形を形成することができる。公称700ナノメートル厚のフィールド酸化物が形成されると共に、シーケンス“A”について、侵食、すなわちパーズピーク長とフィールド酸化物厚との比は公称0.1ということがわかった。パッド層分離又は緩衝は前記したように、オキシナイトラ

イド6の寄与を保証し、基板1のアクティブ領域表面11は今サブミクロン間が要求されている強調された範囲における転位は発生せず、高パフォーマンスのアクティブ電界効果又はバイポーラ装置を達成することができる。

急速熱窒化状態の選ばれた組合わせによる製造シーケンスで区別できる状態にある単一工程を含むことによって多大なパージピーク抑制の改良が得られたということに特に注目すべきである。

他の実施例は、“B”シーケンスとして図に示すように、SILO処理を使用してフィールド酸化物を形成するものである。その製造は第1B図から始まり、そのシリコン基板1はその上に非常に薄い二酸化シリコン層を有する。自然の酸化物層21は公称1~3ナノメートル厚であり、その名のとおり、シリコン基板1の簡単な酸化や又は自然に形成されたものでよい。窒素又はアンモニアの急速な熱アニールで大気圧が用いられ(第2B図に示す)、自然の酸化物21を薄いオキシナイトライド層22に変換する。

ートの溝をつける。又、リアクティブ・イオン・エッチングの特性にあるように、シリコン基板1の27同様、連続層22, 23, 24, 26の壁は大体垂直である。

まだ、SILO処理に従い、次に第4B図のシリコン基板1は約450分間、温度約950℃でウェット酸素中で酸化を受け、公称約700ナノメートル厚のフィールド酸化物領域28(第5B図)を形成する。LPCVD窒化物23, 26の比較的薄い多層は酸化中合成マスク層が持上るのを抑制する上、第5B図に示すようにいかなるパージピーク効果をも制限するだけ十分な堅さを有する。再び、パージピークの効果的な不存在的は、第4B図のパッド/緩衝ナイトライド層22に沿ったいかなる酸素種の拡散の強制的な抑制に基本的な貢献しうるものである。

第5B図は代表的なフィールド酸化物領域28の断面図であり、それはマスク層22, 23, 24, 26を従来方式で除去し、シリコン基板1のアクティブ領域の表面29を露出した後を示す。

この急速な熱窒化は、チャンバが大気圧の窒素又はアンモニア・ガスを約1.4リットル/分流通している間に、約40秒間、温度約1150℃を酸化物21表面にかけるよう動作するタンガス・ハロゲン・ランプを使用して行うのが好ましい。オキシナイトライド層22は本来の厚さ1~3ナノメートルのままである。

急速な熱窒化に続き、この製造シーケンスは、一般的なSILO処理に従い、公称15~18ナノメートル厚のLPCVD窒化シリコン層23を形成し、続いて公称35~40ナノメートル厚のプラズマCVD又は低温酸化物(LTO)層24を形成し、公称100ナノメートル厚のLPCVD窒化シリコン層26を形成する。

第3B図の合成構造は、好ましくはリアクティブ・イオン・エッチングのような前述の方法によるホトレジストを使用したホトリソグラフ処理を受け、全体として第4B図に示すようにシリコン基板1のフィールド酸化物領域を露出する。シリコン基板1は再びその表面3の下公称30ナノメ

薄いオキシナイトライド層22のパッド/緩衝効果に従い、シリコン基板表面29の破損は除去される。非常に薄いオキシナイトライド層22はLPCVD窒化物層23とシリコン基板1との熱膨張係数の違いによる衝撃を吸収するに十分な厚さである。厚いLPCVD窒化物層26も同様に酸化物層24によって緩衝される。フィールド酸化物のアクティブ領域に対する侵入はこの処理シーケンスに従い有効に無視しうる程になった。しかし、比較したとき、アクティブ領域表面29にすぐ隣り合うフィールド酸化物28の相対的急傾斜が与えられ、フィールド酸化物28はフィールド酸化物9(第5A図のLOCOSシーケンス)より平坦でないということが明らかである。

再びパージピークの異状な程の抑制に注目すべきである。

輻射エネルギーの急速な熱窒化の実行のための温度及び時間的條件は上記の実施例で使用したものに限定されるべきでない。例えば、極く薄い酸化物のために、炉中温度約1250℃で約10秒の

短い期間を使用することも可能である。又、逆の極端な点では、比較的厚いパッド／緩衝酸化物のために、30分までの期間で約900℃の範囲の表面温度を使用することができる。正確な条件の組合わせは次のように理解して選ばれるべきである。すなわち、酸化物層3又は21の外面向けられた短期間の高い強度の輻射エネルギー源は露出した酸化物の酸化を容易にするストレス傾斜を有する過渡温度傾斜を発生するものと信じられる。これらの条件は2〜3時間に亘り、ランプ温度を上昇及び下降させる場合の多時間の炉中酸化に明らかに対照である。又、基板の炉又は対流型熱条件付はチャンバの清掃を予め行ったとはいえ、相当長いランプ上昇時間、酸化対酸化開始における低い温度、水から本来得られる酸素種及びシリコン基板に予め吸収されていた酸素種のため望ましくない酸化を受ける。

本来の二酸化シリコンに比較して緩衝又はパッド効果を維持しながら、フィールド酸化物形成中酸素種の横拡散を禁止するべく薄い二酸化シリコ

ン・パッド／緩衝層の急速熱酸化は、多結晶又はアモルファス形シリコンを含みシリコン基板を使用する各種の半導体製造処理一般に使用されうことは当業者間に疑いがない。

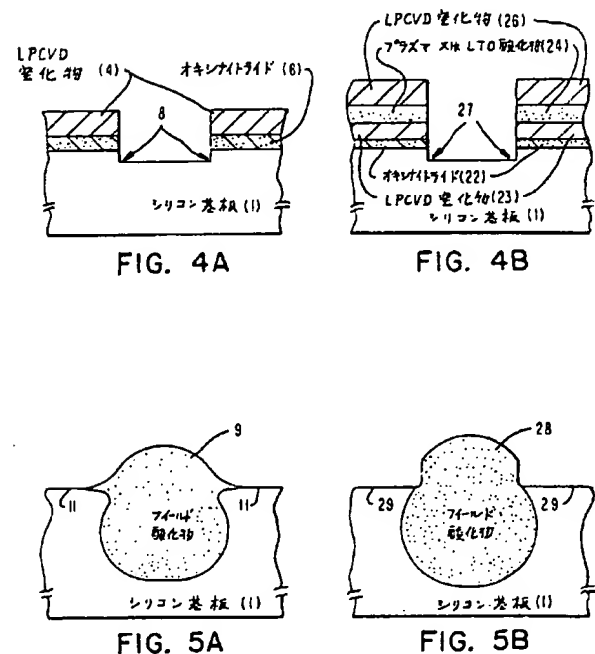
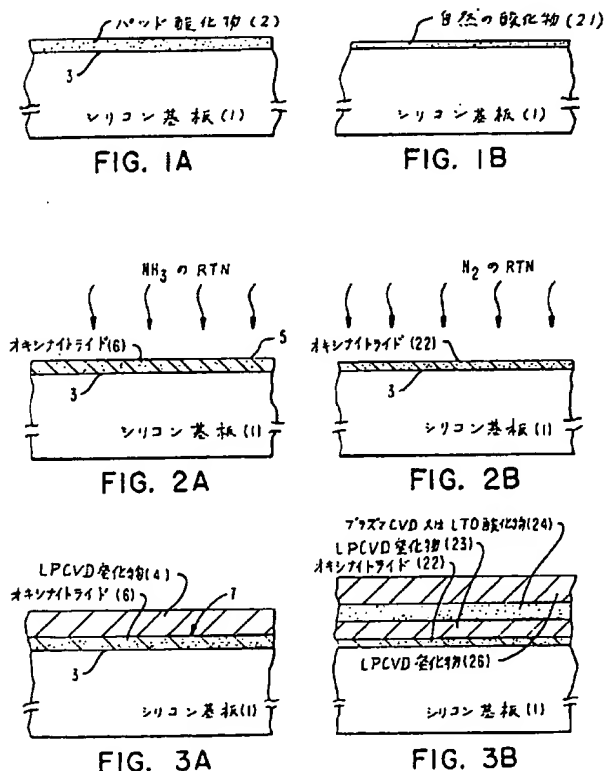
4. 図面の簡単な説明

第1A図乃至第5A図は、この発明によりシリコン局部酸化 (LOCOS) 製造シーケンスの前後関係を表わした簡略断面図、

第1B図乃至第5B図は、シールド界面局部酸化 (SILO) 製造シーケンスの前後関係を表わしたこの発明の簡略断面図である。

図中、1…シリコン基板、2…パッド酸化物、4, 23…LPCVD 酸化物、6, 22…オキシナイトライド、21…自然の酸化物。

出願代理人 斉 藤 勲



第1頁の続き

⑤Int. Cl.⁵

H 01 L 21/76

識別記号

M

庁内整理番号

7638-5F

⑦発明者 デリル ドウエイン アメリカ合衆国, 80918 コロラド コロラド スプリング
ジョン オールマン グス, ゼプア ドライブ 2825

手続補正書(方式)

平成 1 年 2 月 10 日

特許庁長官 吉田 文 登 殿

1. 事件の表示

昭和 63 年 特 許 願 第 260723 号

2. 発明の名称 分層酸化中シールされる界面のための
オキシナイトライドを形成する急速熱酸化方法

3. 補正をする者

事件との関係 特許出願人

フリガナ アメリカ合衆国 45479 オハイオ, デイトン
住 所 サウス ベクターソン プールバード 1700
フリガナ
氏 名(名称) エヌ・シー・アール・コーポレーション
(代表者) ウイルバート ホーク, ジュニア

4. 代 理 人 〒107 電話 582-6111(内2481)

住 所 東京都港区赤坂1丁目2番2号
日本エヌ・シー・アール株式会社内
氏 名 丹理士 (7954) 齊 藤

5. 補正命令の日付 平成1年1月31日(発送日)

6. 補正により増加する発明の数

方式
審査

7. 補正の対象

明細書の図面の簡単な説明の欄

8. 補正の内容 別紙のとおり

1 明細書の第20頁第6行乃至同頁第11行の「第1A図乃至第5A図は……この発明の簡略断面図である。」を次のとおり
に補正する。

『第1図乃至第5図のAは、この発明によりシリコン局部酸化(LOCOS)製造シーケンスの前後関係を表わした簡略断面図、

第1図乃至第5図のBは、シールド界面局部酸化(SILO)製造シーケンスの前後関係を表わしたこの発明の簡略断面図である。』

Full Text

AN 2001:863462 CAPLUS

DN 135:379743

TI Method to fabricate deep sub-mm CMOS device without B penetration

IN Wu, Shye-lin

PA TSMC Acer Semiconductor Manufacturing Inc., Taiwan

SO U.S., 11 pp., Cont.-in-part of U.S. 6,096,614.

CODEN: USXXAM

DT Patent

LA English

FAN.CNT 3

PATENT NO. *g* KIND DATE APPLICATION NO. DATE

PI US 6323094 B1 20011127 US 1999-345925 19990701

US 6096614 A 20000801 US 1998-20229 19980206

PRALUS 1998-20229 A2 19980206

AB The method of the present invention is to fabricate a CMOS device without B penetration. A nitrided gate oxide and SAS gate electrode are provided to suppress B penetration. The nitrided gate oxide could be formed in two approaches. One of the approaches is to implant N ions into the interface between substrate and pad oxide layer, and then thermally treat the substrate for segregating the doped N ions in the surface of substrate. Removing the pad oxide layer, thermally treating the substrate in O ambient for growing a gate oxide layer, the nitrided gate oxide layer is formed by incorporating doped N ions into the growing gate oxide layer. The other approach is to place the substrate having a gate oxide layer thereon in N plasma ambient, thereby forming the nitrided gate oxide layer. After the formation of nitrided gate oxide layer, at least one stacked amorphous Si (SAS) layer is formed over the gate oxide layer. The gate structure is formed by patterning the SAS layer and nitrided gate oxide layer. Thereafter, source/drain with LDD regions are subsequently formed in the substrate. Finally, a thermal treatment was performed to convert the stacked-amorphous Si gate into poly Si gate and to form shallow source and drain junction in the substrate, thereby achieving the structure of the MOS device.

1992.100518 USPATFOLL

TI Membrane dielectric isolation IC fabrication

IN Leedy, Glenn Joseph, Montecito, CA, United States

PA Elm Technology Corporation, Saline, MI, United States (U.S. corporation)

PI US 6008126 - 19991228 *Check*

AI US-1998-28081 19980223 (9)

RLI Division of Ser. No. US 1997-813439, filed on 10 Mar 1997, now patented, Pat. No. US 5840593 which is a continuation of Ser. No. US 1995-475770, filed on 7 Jun 1995, now patented, Pat. No. US 5654220 which is a continuation of Ser. No. US 1994-315905, filed on 30 Sep 1994, now patented, Pat. No. US 5869354 which is a division of Ser. No. US 1992-865412, filed on 8 Apr 1992, now patented, Pat. No. US 5354695

DT Utility

FS Granted

EXNAM Primary Examiner: Niebling, John F.; Assistant Examiner: Lebentritt, Michael

LREP Burns, Doane, Swecker & Mathis

CLMN Number of Claims: 4

ECL Exemplary Claim: 1

DRWN 107 Drawing Figure(s); 64 Drawing Page(s)

LN.CNT 2694

CAS INDEXING IS AVAILABLE FOR THIS PATENT.

DETD 2. O2 (oxide) and N2 (Nitride) implant etch stop barrier layer. Implant concentrations are typically between 10 to 100 times less for formation of an etch stop barrier layer than that required to form a buried oxide or nitride dielectric isolation layer as presently done with a standard thickness silicon substrate.

Detailed Description Text - DETX (6):

The present invention method differs from another nitrogen optimization method, where an N.sub.2 O anneal is used to remove N from the oxynitride, in two major aspects. First, in the N.sub.2 O reoxidation method, nitrogen is completely removed from the oxynitride layer during a re-oxidation process. In the present invention method, a controlled amount of nitrogen is left in the oxynitride layer depending on the re-oxidation conditions. Secondly, in the method of N.sub.2 O re-oxidation, a second oxynitride layer will be formed between the oxynitride layer and the silicon substrate. In the present invention method, a substantially pure SiO.sub.2 layer is inserted underneath the dielectric. The present invention method therefore addresses the problem of de-coupling the nitrogen content of the oxynitride film from the film thickness and uniformity. For instance, a low nitrogen concentration at the Si/SiO.sub.2 interface may be desirable for achieving good device properties (such as V_{fb} shift). However, both a narrow thickness distribution and a thick oxide spacer layer may be needed. In such a case, nitrogen may be introduced by NO oxidation at a temperature of 850:degree. C., giving rise to concentrations of roughly 6.times.10.sup.14 /cm.sup.2. This nitrogen concentration is large enough to inhibit the in diffusion of oxidizing species and thus contributes to the spatial uniformity of the dielectric layer. During the re-oxidation step, the present invention method selectively removes the nitrogen atoms from the film by the addition of a halogen containing species such as methyl chloride to the gaseous ambient. This addition serves to reduce the shift in V_{fb} and other deleterious effects of nitrogen while maintaining the narrow thickness distribution typical of nitrided oxides.

US-PAT-NO: 6245616
DOCUMENT-IDENTIFIER: US 6245616 B1
TITLE: Method of forming oxynitride gate dielectric

Detailed Description Text - DETX (6):

The present invention method differs from another nitrogen optimization method, where an N.sub.2 O anneal is used to remove N from the oxynitride, in two major aspects. First, in the N.sub.2 O reoxidation method, nitrogen is completely removed from the oxynitride layer during a re-oxidation process. In the present invention method, a controlled amount of nitrogen is left in the oxynitride layer depending on the re-oxidation conditions. Secondly, in the method of N.sub.2 O re-oxidation, a second oxynitride layer will be formed between the oxnitride layer and the silicon substrate. In the present invention method, a substantially pure SiO.sub.2 layer is inserted underneath the dielectric. The present invention method therefore addresses the problem of de-coupling the nitrogen content of the oxynitride film from the film thickness and uniformity. For instance, a low nitrogen concentration at the Si/SiO.sub.2 interface may be desirable for achieving good device properties (such as V_{fb} shift). However, both a narrow thickness distribution and a thick oxide spacer layer may be needed. In such a case, nitrogen may be introduced by NO oxidation at a temperature of 850.degree. C., giving rise to concentrations of roughly 6.times.10¹⁴ /cm². This nitrogen concentration is large enough to inhibit the in diffusion of oxidizing species and thus contributes to the spatial uniformity of the dielectric layer. During the re-oxidation step, the present invention method selectively removes the nitrogen atoms from the film by the addition of a halogen containing species such as methyl chloride to the gaseous ambient. This addition serves to reduce the shift in V_{fb} and other deleterious effects of nitrogen while maintaining the narrow thickness distribution typical of nitrided oxides.

AN 1999:70554 USPATFULL
TI Three dimensional structure memory
IN Leedy, Glenn J., Jackson, WY, United States
PA Elm Technology Corporation, Saline, MI, United States (U.S. corporation)
PI US 5915167 19990622
AI US 1997-835190 19970404 (8)
DT Utility
FS Granted
EXNAM Primary Examiner: Picardat, Kevin M.; Assistant Examiner: Collins, Deven
LREP Burns, Doane, Swecker & Mathis, LLP
CLMN Number of Claims: 73
ECL Exemplary Claim: 1
DRWN 9 Drawing Figure(s); 9 Drawing Page(s)
LN.CNT 987

CAS INDEXING IS AVAILABLE FOR THIS PATENT.

DETD Optionally an etch stop may be incorporated in the second substrate from less than a micron to several microns below the semiconductor surface prior to device fabrication. This etch stop can be an epitaxially formed film such as GeB (described in U.S. Pat. Nos. 5,354,695 and 5,323,035 of the present inventor, incorporated herein by reference) or a low density implanted layer of O2 or N2 to form a buried oxide or nitride barrier etch stop layer just below the device layer on the top side of the second substrate. After a preliminary grinding of a significant portion of the backside of the substrate, the remaining portion of the backside of the second substrate is then selectively etched in a chemical bath which stops on the surface of the epitaxial or implanted layer. Subsequent polishing